

Versuch C 15: Digitale Schaltungen

1. Literatur: Walcher, Praktikum der Physik,
Jean Pütz, Digitaltechnik

Stichworte: Binärzahlen, logische Verknüpfungen, Wahrheitstabelle, Kippschaltungen (Flip-Flop), Dualzähler, Frequenzteiler

2. Grundlagen

Die in diesem Versuch aufzubauenden digitalen Schaltungen und durchzuführenden Messungen haben zum einen den Zweck, Sie in die elementaren Elemente der digitalen Schaltalgebra anhand von Schaltungsmodulen mit logisch definierter Verknüpfung von Eingangs- und Ausgangssignal einzuführen. Darüber hinaus soll in - logisch nachvollziehbaren - Zusammenschaltungen solcher Module die Methode der digitalen Zähl- als auch Programmtechnik demonstriert werden.

Dazu wird zunächst die Schaltung einer zeitgesteuerten programmierten Abfolge von Ampelsignalen aufgebaut. Danach folgen Aufbauten zur Schaltungen einer Uhr, eines Frequenzzählers sowie einer Stoppuhr zur Bestimmung der Fallzeit einer Kugel.

Kenntnisse über die verschiedenen Zahlensysteme (Basis 2, 10, ...) sowie über logische Verknüpfungen (AND, OR, NOT, NAND, NOR) werden vorausgesetzt.

In der Literatur findet man verschiedene Bezeichnungsweisen für binäre Zustände. In der Mathematik heißen die Ziffern des binären Zahlensystems 0 bzw. 1. An dieser Nomenklatur orientiert sich diese Versuchsanleitung. Häufig werden diese zwei Ziffern auch mit 0 bzw. L bezeichnet, damit eine Verwechslung mit dem Dezimalsystem ausgeschlossen werden kann. Im technischen Bereich spricht man auch von L bzw. H. Diese Bezeichnung repräsentiert die Pegelwerte (Gleichspannungen), die entweder Low (=L) oder High (=H) sind.

2.1 AND/NAND- und OR/NOR-Gatter

Abb. 1 zeigt die Schaltsymbole von AND-, NAND-, OR-, NOR- u. kombinierten AND/NAND- und OR/NOR-Gattern, welche die Werte der Ausgänge Q und \bar{Q} mit denen der Eingänge S_1 und S_2 entsprechend logisch verknüpfen. Die nachfolgende Wertetabelle zeigt für die möglichen Kombinationen der binären Eingangszustände S_1 und S_2 die entsprechenden Ausgangszustände Q bzw. \bar{Q} für die jeweiligen Gatter.

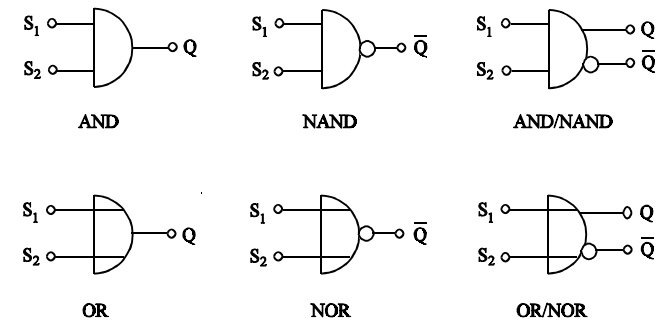


Abb. 1: Schaltsymbole der AND-, NAND-, OR-, NOR- sowie kombinierten Gatter

S_1	S_2	Q		\bar{Q}	
		AND	OR	NAND	NOR
0	0	0	0	1	1
1	0	0	1	1	0
0	1	0	1	1	0
1	1	1	1	0	0

Tab. 1: Ausgangszustände Q und \bar{Q} in Abhängigkeit von den Eingangszuständen S_1 und S_2 für die verschiedenen logischen Gatter

2.2 RS-Flip-Flop

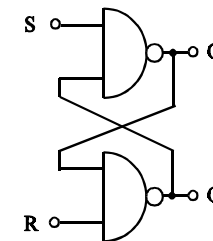


Abb.2:
RS-Flip-Flop

Werden zwei NAND-Gatter mit "Rückkopplung" nach Abb. 2 miteinander verbunden, so erhält man ein sog. *RS-Speicher-Flip-Flop* mit zwei Eingängen S und R und zwei Ausgängen Q_1 und Q_2 . Es gibt wieder vier verschiedene Kombinationen für die Eingangssignale S und R:

Fall 1: $S = 0$ und $R = 0$

Für $S = 0$ folgt (unabhängig von R) $Q_1 = 1$. Ebenso folgt für $R = 0$ (unabhängig von S) $Q_2 = 1$. Dieser (auch in der Praxis mögliche) Fall wird als unzulässig erklärt. Begründung siehe Fall 4.

Fall 2: $S = 1$ und $R = 0$

Für $R = 0$ folgt $Q_2 = 1$. Mit $Q_2 = 1$ und $S = 1$ folgt $Q_1 = 0$. Der Wert von Q_1 wird also in jedem Fall rückgestellt ($Q_1 = 0$: *RESET*).

Fall 3: $S = 0$ und $R = 1$

Für $S = 0$ folgt $Q_1 = 1$. Mit $Q_1 = 1$ und $R = 1$ folgt $Q_2 = 0$. Mit dieser Eingangskombination wird der Wert von Q_1 gesetzt ($Q_1 = 1$: *SET*).

Fall 4: $S = 1$ und $R = 1$

Dies ist der interessanteste Fall. Aus $Q_1 = 0$ folgt $Q_2 = 1$. Aus $Q_1 = 1$ folgt $Q_2 = 0$. Hieraus ergibt sich, dass im Falle der Kombination $S = R = 1$ die Ausgänge Q_1 und Q_2 invers zueinander sind. Sofern Q_1 und Q_2 bereits auch im Anfangszustand invers zueinander waren, bleibt ihr Wert erhalten (*SPEICHERN*). Der denkbare Fall $Q_1 = Q_2$ führt dagegen zu einem nicht vorhersehbaren Zustand von Q_1 und Q_2 , wobei nur sicher ist, dass im Endzustand Q_1 invers zu Q_2 ist. Aus diesem Grund wird der oben diskutierte Fall $S = R = 0$ als unzulässig erklärt.

Die nachstehende Tabelle beschreibt das Verhalten eines RS-Speicher-Flip-Flops.

S	R	Q_1	Q_2	Bemerkungen
0	0	1	1	unzulässig
1	0	0	1	reset
0	1	1	0	set
1	1	Q_1	$Q_2 = \overline{Q_1}$	speichern

Tab. 2: Wertetabelle für ein RS-Speicher-Flip-Flop

Da mit Impulsen (d.h. zeitlich begrenzten Pegelwerten) an S bzw. R statische Signale Q_1 , Q_2 erzeugt werden, spricht man auch von einer bistabilen Kippschaltung. Der Vollständigkeit sei erwähnt, dass es darüber hinaus noch andere Kippschaltungen gibt. Die wichtigsten sind die monostabile und die astabile Kippschaltung. Eine Anwendung für eine monostabile Kippschaltung ist z.B. die sich verzögernd ausschaltende Autoinnenleuchte. (Der ausgeschaltete Zustand ist stabil; der eingeschaltete Zustand kehrt nach einer gewissen Verzögerung ohne äußere Beeinflussung in den ausgeschalteten Zustand zurück.) Eine astabile Kippschaltung stellt ein Taktgenerator da. (Beide Zustände sind nicht stabil und ändern sich ohne äußere Beeinflussung nach gewissen Zeiten.)

2.3 Getaktetes RS-Flip-Flop

Fügt man zu dem RS-Flip-Flop noch zwei NAND-Gatter gemäß Abb. 3 hinzu, so erhält man ein getaktetes RS-Flip-Flop. Bei diesem wird der Speicherinhalt nicht allein von S bzw. R beeinflusst, sondern auch von einem Taktsignal, das an einem

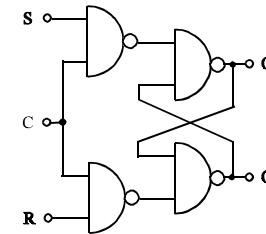


Abb. 3: Getaktetes RS-Flip-Flop

weiteren Eingang C (CLOCK) anliegt. Die Ausgänge können nur noch beeinflusst werden, wenn $C = 1$ ist. Ansonsten ($C = 0$) bleibt der Speicherinhalt unverändert.

C = 1	S	R	Q_1	Q_2	Bemerkungen
	1	1	1	1	unzulässig
	0	1	0	1	reset
	1	0	1	0	set
	0	0	Q_1	$Q_2 = \overline{Q_1}$	speichern

Tab. 3: Wertetabelle für ein getaktetes RS-Flip-Flop

Zur Steuerung werden im Vergleich zum vorher beschriebenen Flip-Flop jetzt invertierte R- bzw. S-Signale benötigt, so dass der Fall $S = R = 1$ unzulässig ist. Tabelle 3 fasst das Verhalten eines getakteten RS-Flip-Flops zusammen:

2.4 JK-Master-Slave-Flip-Flop

Ein JK-Master-Slave-Flip-Flop erhält man durch Hintereinanderschalten zweier getakteter RS-Flip-Flops (Abb. 4). Das erste, das *Master-Flip-Flop* besitzt die Eingänge J, K und C. Seine Ausgänge S, R sind direkt auf die Eingänge des zweiten Flip-Flops, des *Slave-Flip-Flops* geschaltet. Der Takteingang des Slave-Flip-Flops wird über einen Inverter an das Taktsignal C gelegt.

Zum Verständnis sollen zunächst die zusätzlichen Anschlüsse an den Eingängen des ersten Flip-Flops vernachlässigt werden. Gemäß den obigen Wertetabellen werden im Master die Eingangssignale J, K bei $C = 1$ im Zwischenspeicher als Werte S, R gespeichert, die bei $C = 0$, d.h. $C = 0$ in den Slave übernommen werden. Auch hier wären die Fälle $J = K = 1$ bzw. $S = R = 1$ nicht zulässig.

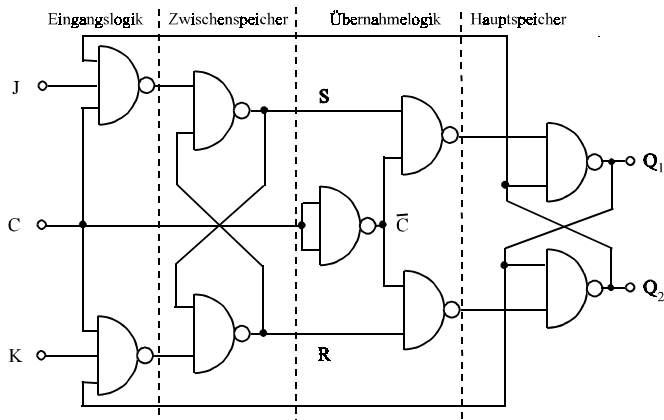


Abb. 4: JK-Master-Slave-Flip-Flop

Die zusätzliche Rückkopplung der Ausgänge Q_1, Q_2 auf die Eingänge des Master-Flip-Flops sorgt jetzt für ein definiertes Verhalten der gesamten Schaltung. Bei jedem vollständigen Taktimpuls, d.h. C wechselt von 0 nach 1 und wieder von 1 nach 0, werden die Ausgangssignale Q_1, Q_2 bezüglich ihres alten Wertes invertiert. Da nach zwei vollständigen Taktimpulsen die Ausgänge Q_1, Q_2 wieder ihren ursprünglichen Wert annehmen, funktioniert das JK-Master-Slave-Flip-Flop als *Impulsuntersetzer*, d.h. die Ausgangspegel ändern sich mit halber Taktfrequenz

der Eingänge. Da bei einem JK-Flip-Flop Q_1 und Q_2 grundsätzlich invers zueinander sind, können die Indices entfallen. Man spricht vom Ausgang Q und dem hierzu inversen Ausgang \bar{Q} .

Die nachfolgende Wertetabelle ist die eines JK-Master-Slave-Flip-Flops nach Durchlaufen eines vollständigen Taktimpulses:

J	K	Q_{neu}	\bar{Q}_{neu}	Bemerkungen
0	0	Q_{alt}	\bar{Q}_{alt}	speichern
0	1	0	1	reset
1	0	1	0	set
1	1	\bar{Q}_{alt}	Q_{alt}	kippen

Tab. 4: Wertetabelle für ein JK-Master-Slave-Flip-Flop

Mit mehreren JK-Master-Slave-Flip-Flops lassen sich Speicher, Schieberegister, Impulzzähler, Frequenzteiler, Uhren etc. bauen.

2.5 Frequenzteiler

Verbindet man mehrere JK-Master-Slave-Flip-Flops derart zu einer Kette, dass der Takteingang eines Flip-Flops mit dem Q-Ausgang des vorherigen Flip-Flops verbunden ist, so wird mit jedem nachfolgendem Baustein die jeweils anliegende Taktfrequenz halbiert, sofern die Eingangspegel J, K den Wert 1 besitzen. Benutzt man n JK-Flip-Flops, so steht am Ausgang des n-ten Flip-Flops eine Impulsfolge der Frequenz $f_n = f_0/2^n$ zur Verfügung ($f_0 =$ Taktfrequenz am Eingang des ersten JK-Flip-Flop). Anders ausgedrückt beträgt die Taktperiode am n-ten Ausgang $T_n = T_0 \times 2^n$. Benutzt man zusätzlich noch logische Gatter, die an den Ausgängen Q bzw. \bar{Q} die einzelnen Flip-Flops der Kette angeschlossen sind, so lassen sich beliebige Taktuntersetzungen realisieren.

Geht man davon aus, dass zu Beginn die Q-Ausgänge aller Flip-Flops (Speicherelemente) den Wert 0 haben, haben diese nach Anlegen der Taktfrequenz die in Tabelle 5 (s.u.) angegebenen Werte.

Man erkennt leicht, dass diese Anordnung die Taktimpulse zählt. Der Inhalt der Speicher stellt die binäre Zahl der gezählten Impulse dar (wobei der Speicherinhalt des Speicherelements mit der niedrigsten Ausgangsfrequenz die höchste Wertigkeit

	Speicherelement Nr.						dez. Wert
	1	2	3	4	5	
Ausgangszustand	0	0	0	0	0		0
nach dem 1. Taktimpuls	1	0	0	0	0		1
nach dem 2. Taktimpuls	0	1	0	0	0		2
nach dem 3. Taktimpuls	1	1	0	0	0		3
nach dem 4. Taktimpuls	0	0	1	0	0		4
nach dem 5. Taktimpuls	1	0	1	0	0		5
nach dem 6. Taktimpuls	0	1	1	0	0		6
nach dem 7. Taktimpuls	1	1	1	0	0		7
nach dem 8. Taktimpuls	0	0	0	1	0		8
.....
Wertigkeit	1	2	4	8	16	

Tab. 5: Werte für eine Kette von Speicherelementen nach 0 bis 8 Taktimpulsen

besitzt). Will man eine Taktfrequenz um den Faktor m ($m = \text{ganze Zahl}$) teilen, so löst man einen Reset aus (1-Impuls auf alle R-Eingänge), wenn die Speicher gerade die binäre Darstellung von m annehmen. Hierzu müssen die Q bzw. \bar{Q} der einzelnen Speicherelemente mit AND-Gattern verknüpft werden. Das AND-Signal liefert das Resetsignal mit der Frequenz f_0/m .

2.6 Zeitmesser

Das Prinzip einer digitalen Uhr beruht auf dem Zählen von Impulsen, die in einem sehr genau definierten zeitlichen Abstand aufeinander folgen. Um z.B. aus der (langfristig sehr genauen) Netzfrequenz von 50 Hz eine Uhr zu bauen, wird zunächst mit einem Frequenzteiler diese Frequenz um den Faktor 50 untersetzt. Man erhält einen Sekundentakt, dessen Impulse gezählt werden. Wird eine Anzahl von 60 erreicht, so wird der Sekundenzähler auf 0 zurückgesetzt. Dieser Rücksetzimpuls für die Sekunden dient als Taktsignal für einen weiteren Zähler, den Minutenzähler. Wenn der Minutenzähler den Wert 60 annimmt, so wird der Minutenzähler zurückgesetzt und dieser Impuls von einem dritten Zähler, dem Stundenzähler aufaddiert, der bei Erreichen von 24 auf 0 gesetzt wird.

Verbindet man das höchstfrequente Taktsignal nicht direkt mit dem Takteingang des ersten Flip-Flops, sondern schaltet ein AND- oder NAND-Gatter dazwischen, so werden die Taktimpulse (mit bekannter Periodendauer) nur dann gezählt, wenn sich der zweite Eingang des Gatters auf logischem 1-Pegel befindet. Dieses Gatter

hat die Funktion eines Tors (engl. *gate*). Wird dieses von dem zu messenden Vorgang gesteuert, so kann direkt die Dauer dieses Vorgangs als Vielfaches der Taktperiodendauer gemessen werden (Stoppuhr).

Es ist sofort einsichtig, dass die Auflösung der Zeitmessung proportional zur Taktfrequenz ist. Eine Variante dieser Schaltung führt zu dem Frequenzzähler. Wird das oben erwähnte Tor für eine genau definierte Zeit geöffnet (z.B. für 1 Sekunde) und benutzt man als Zähltakt das zu messende Wechsellspannungssignal (im Allg. muss dieses Signal zunächst in eine Rechteckspannung umgewandelt werden), so gibt der Speicherinhalt unmittelbar die unbekannte Frequenz (in binärer Form) an.

3. Aufgabenstellung

- Aufgabe:** Machen Sie sich mit den Bausteinen des Versuchs Taktgeber, AND/NAND-Gatter, OR/NOR-Gatter, Speicherelement etc. vertraut. Bauen Sie ein RS-Flip-Flop sowie ein getaktetes RS-Flip-Flop auf und testen Sie deren Funktionsweise.
- Aufgabe:** Bauen Sie eine Ampelsteuerung auf und testen Sie diese.
- Aufgabe:** Bauen Sie eine Uhr auf und testen Sie ihre Funktion.
- Aufgabe:** Bauen Sie einen Frequenzzähler auf und bestimmen Sie verschiedene Frequenzen des Taktgebers.
- Aufgabe:** Bauen sie eine Stoppuhr auf und bestimmen Sie die Fallzeit einer Kugel.

4. Versuchsdurchführung

4.1 Kennenlernen der verwendeten Bauteile

Der verwendete Taktgeber (Abb. 5a) liefert an seinem Taktausgang (blaue Buchse, mittig rechts) ein Rechtecksignal mit einer Frequenz zwischen 0,3 Hz und 300 Hz. Eine Leuchtdiode zeigt den momentanen Spannungspegel an. Der Taktgeber läuft normalerweise kontinuierlich. Mit einem logischen 1-Signal an einem der Stoppeingänge H_0 (gelbe Buchsen) kann er angehalten werden. Wird der Frequenzwahlschalter auf 0 gestellt, so können mittels eines Tasters M (unten rechts) manuell Taktimpulse ausgelöst werden. Die mit 1 gekennzeichnete (schwarze) Buchse (oben rechts) liefert ein logisches 1-Signal.

Im Versuch werden zwei verschiedene logische Bausteine benutzt: das kombinierte AND/NAND- und das kombinierte OR/NOR-Gatter (Abb. 5b und 5c).

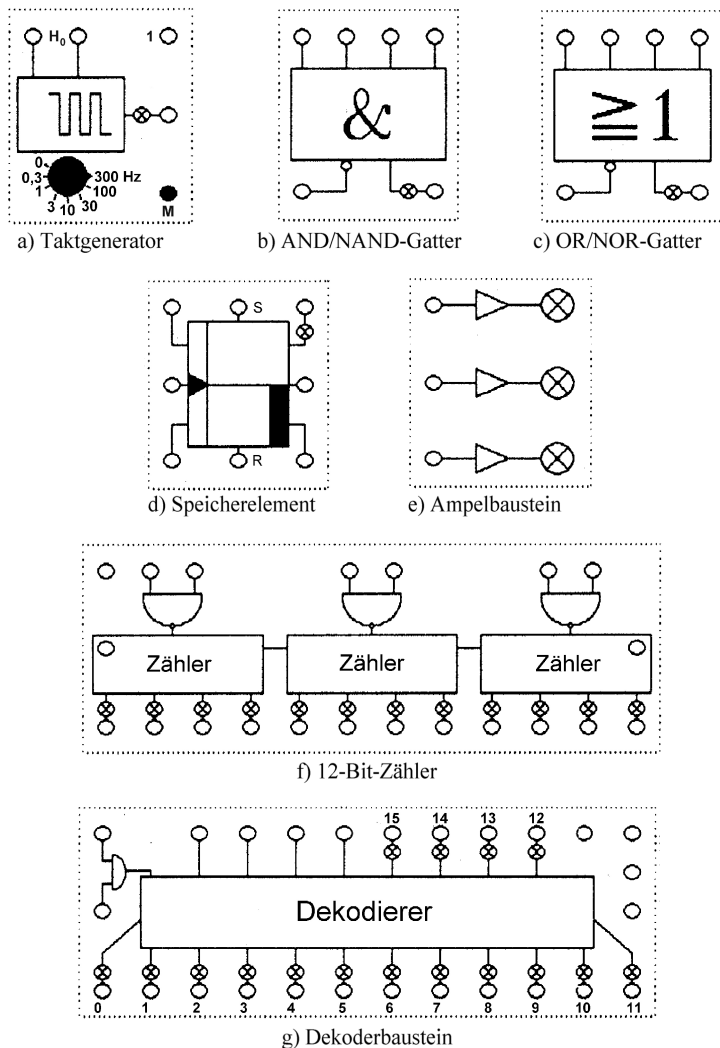


Abb. 5: Die Bausteine des Versuchs

Beide besitzen jeweils vier Eingänge (gelbe Buchsen, oben). Die Gatter sind intern so geschaltet, dass nicht benötigte Eingänge unbeschaltet bleiben können.

Soll z.B. eine AND-Verknüpfung lediglich von zwei Eingangsleitungen durchgeführt werden, so brauchen nur diese zwei Leitungen an zwei beliebigen

Eingängen des AND/NAND-Gatters angeschlossen werden. Die verbleibenden zwei müssen nicht extern beschaltet werden, da sie intern (über einen Widerstand) auf logischem 1-Pegel geschaltet sind. Ähnlich verhält sich das OR/NOR-Gatter, nur dass hier die Eingänge intern auf einen logischen 0-Pegel gebracht werden.

An den Ausgängen der Gatter (grüne Buchse, unten rechts) liegt das AND- bzw. OR-verknüpfte Signal an, dessen Pegel von einer Leuchtdiode angezeigt wird. Am invertierenden Ausgang (rote Buchse, unten links) liegt das entsprechende NAND- (Not AND) bzw. das NOR- (= Not OR) Signal an.

Die im Versuch verwendeten Speicherelemente (Abb. 5d) sind JK-Master-Slave-Flip-Flops. Sie besitzen acht Anschlussbuchsen:

- 2 Takteingänge (blau, mittig rechts u. links). Diese sind intern direkt miteinander verbunden und daher gleichwertig
- 1 J-Eingang (gelb, oben links)
- 1 K-Eingang (gelb, unten links)
- 1 Set-Eingang (schwarz, oben mittig)
- 1 Reset-Eingang (weiß, unten mittig)
- 1 Q-Ausgang (grün, oben rechts). Sein Signalpegel wird von einer Leuchtdiode angezeigt
- 1 not Q-Ausgang (rot, unten rechts).

Es ist zu beachten, dass im unbeschalteten Zustand die J-, K-Eingänge den Wert logisch 1 besitzen.

Wichtig: Häufig werden zum Austesten der Schaltungen 0- und 1-Pegel benötigt. Diese werden z.B. einem unbeschalteten AND/NAND-Gatter oder Speicherelement entnommen. Zum Testen der Pegel von Ausgängen kann z. B. der Ampelbaustein (Abb. 5e) benutzt werden. Die Dioden leuchten, wenn ihre Eingänge auf logischem 1-Pegel liegen.

Aufbau und Funktionsweise des 12-Bit-Zählers (Abb. 5f) und Dekoderbausteins (Abb. 5g) werden im Zusammenhang mit dem Aufbau der Uhr erklärt. Weitere (hier nicht abgebildete) Bausteine enthalten Schalter, Taster und Relais, deren Funktionen aus den jeweils aufgedruckten Schaltsymbolen eindeutig hervorgehen.

Die einzelnen Bausteine werden auf ein Grundbrett im Raster 6 x 8 (horizontal 1 - 6, vertikal A - H) gesteckt und damit an die Versorgungsspannung (12 V=) angeschlossen. Es ist darauf zu achten, dass die Bausteine nicht verpolzt auf das Grundbrett gesteckt werden.

Beginnen Sie, um sich mit dem Verschalten und Austesten der Bausteine vertraut zu machen, zunächst mit dem Aufbau eines RS-Flip-Flops (Abb. 2). Benutzen Sie

dazu zwei AND/NAND-Gatter, ein Speicherelement zum Setzen der Eingänge R, S und den Ampelbaustein zum Testen der Ausgänge Q₁, Q₂. Verifizieren Sie die Wertetabelle für das RS-Flip-Flop.

Bauen Sie danach unter Hinzunahme zwei weiterer AND/NAND-Gatter ein getaktetes RS-Flip-Flop (Abb. 3) auf und testen Sie ebenfalls die Gültigkeit der Wertetabelle. Verbinden Sie (für C = 1) die Eingänge S und R abwechselnd mit dem not Q-Ausgang (= 0) des Speicherelements und beobachten Sie die Invertierung der Eingangs- und Ausgangs-Gatter.

Testen Sie die Funktionsweise eines Speicherelements, indem Sie den Takteingang mit dem Taktoutput des Taktgenerators oder die Eingänge R und S abwechselnd mit dem 1-Ausgang des Taktgenerators verbinden.

4.2 Ampelsteuerung

Es soll die Steuerung für die Ampel an einer Kreuzung realisiert werden (Abb. 6). An einer normalen Kreuzungsampel können acht Phasen unterschieden werden:

Phase 1:	Ampel zeigt rot	(Querverkehr grün)
Phase 2:	Ampel zeigt rot	(Querverkehr gelb)
Phase 3:	Ampel zeigt rot	(Querverkehr rot)
Phase 4:	Ampel zeigt rot/gelb	(Querverkehr rot)
Phase 5:	Ampel zeigt grün	(Querverkehr rot)
Phase 6:	Ampel zeigt gelb	(Querverkehr rot)
Phase 7:	Ampel zeigt rot	(Querverkehr rot)
Phase 8:	Ampel zeigt rot	(Querverkehr rot/gelb)

Nach der achten Phase wiederholt sich der Zyklus. Im Versuch sollen die 1. und die 5. Phase jeweils 5 Sekunden, die übrigen Phasen 1 Sekunde andauern, so dass die Länge des kompletten Zyklus 16 Sekunden beträgt. Benötigt wird daher ein 4-Bit-Zähler (Zahlenbereich von 0 bis 15), der jede Sekunde um "eins" weiterzählt. Das niederwertige Bit des Zählers wird hier mit B₀, die anderen Bits werden in aufsteigender Folge mit B₁, B₂ bzw. B₃ bezeichnet. Das zeitliche Verhalten der Ampelphasen fasst Tabelle 6 zusammen.

Für den logischen Zusammenhang zwischen den Ampelphasen Rot-Gelb-Grün und den Inhalten der Zähler B₀ - B₃ gilt:

$$\begin{aligned}
 \text{ROT} &= (\text{not } B_3) \text{ or } (B_3 \text{ and } B_2 \text{ and } B_1) \\
 \text{GELB} &= ((\text{not } B_3) \text{ and } B_2 \text{ and } B_1 \text{ and } B_0) \text{ or } (B_3 \text{ and } B_2 \text{ and } (\text{not } B_1) \text{ and } B_0). \\
 \text{GRÜN} &= \text{not } (\text{ROT or GELB})
 \end{aligned}$$

Man baue die entsprechende Schaltung nach Abb. 6 auf. Zunächst ist der

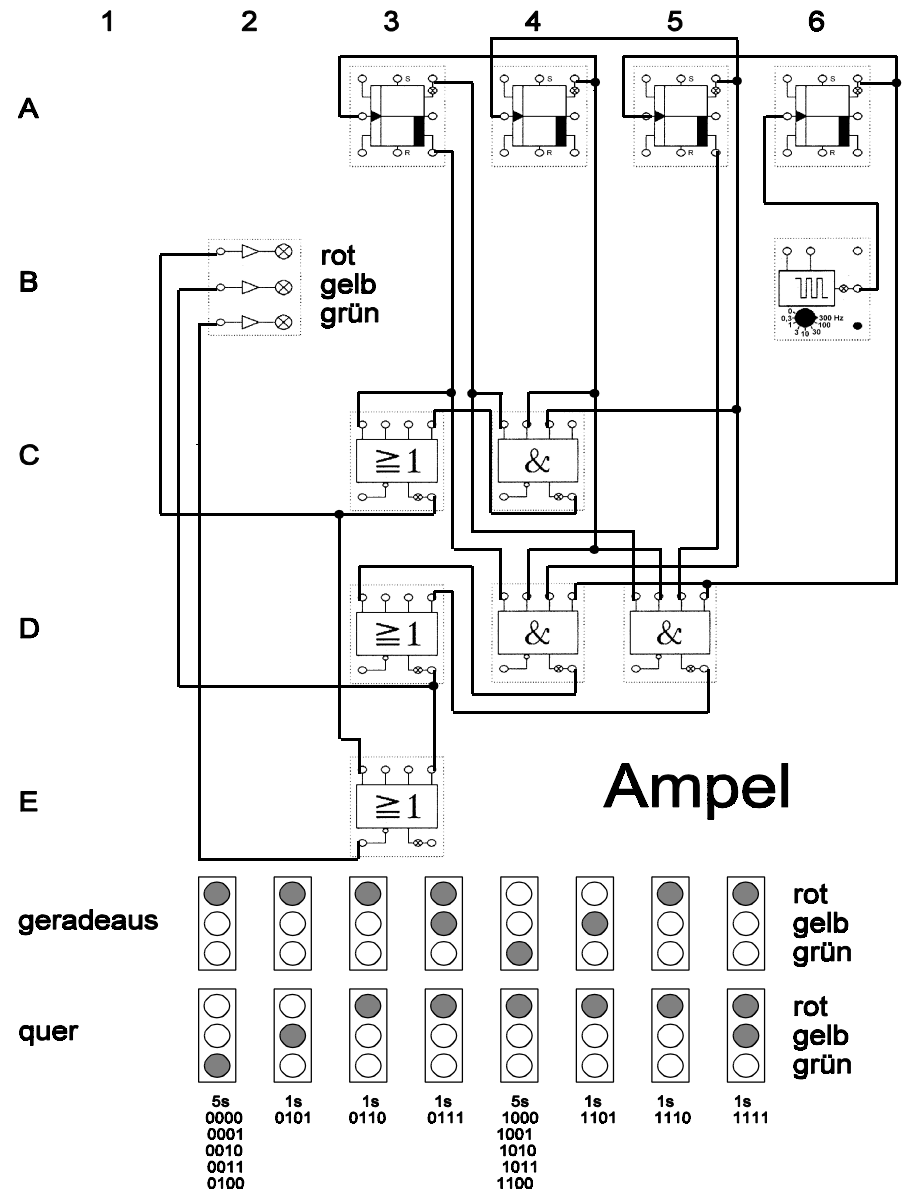


Abb. 6: Schaltung der Ampelsteuerung

4-Bit-Zähler (A3 - A6) zu überprüfen.

Die Bauelemente in Zeile C testen auf ROT, die Bauelemente in Zeile D auf GELB. Der Test auf GRÜN ist sehr einfach und wird in Zeile E realisiert. Den Sekundentakt liefert der Taktgenerator (B6).

Zeit s	Phase Nr.	ROT	GELB	GRÜN	Zählerinhalt			
		0 = aus	1 = ein	1 = ein	B ₃	B ₂	B ₁	B ₀
1	1	1	0	0	0	0	0	0
2	"	1	0	0	0	0	0	1
3	"	1	0	0	0	0	1	0
4	"	1	0	0	0	0	1	1
5	"	1	0	0	0	1	0	0
6	2	1	0	0	0	1	0	1
7	3	1	0	0	0	1	1	0
8	4	1	1	0	0	1	1	1
9	5	0	0	1	1	0	0	0
10	"	0	0	1	1	0	0	1
11	"	0	0	1	1	0	1	0
12	"	0	0	1	1	0	1	1
13	"	0	0	1	1	1	0	0
14	6	0	1	0	1	1	0	1
15	7	1	0	0	1	1	1	0
16	8	1	0	0	1	1	1	1

Tab. 6: Zeittabelle der Ampelphasen und des 4-Bit-Zählers

4.3 Uhr

Die aufzubauende Uhr (Abb.7) verwendet als Frequenznormal die Netzfrequenz. Einem (220V/6V)-Transformator wird ein Zweiweg-Brückengleichrichter nachgeschaltet. Auf diese Weise erhält man eine ungesieberte Gleichspannung, die 100 mal pro Sekunde von nahezu 0 Volt auf ihren maximalen Wert (ca. 7V) ansteigt und wieder auf nahezu 0 Volt abfällt. Der Minuspol des Gleichrichters wird mit dem Minuspol des Schaltbretts verbunden. Der Pluspol der ungeglätteten Gleichspannung wird auf den Eingang eines OR/NOR-Gatters (D6) geschaltet, das dann am Ausgang eine digitalgerechte Rechteckspannung mit einer Frequenz von 100 Hz liefert. Um hieraus einen 1-Sekundentakt zu gewinnen, müssen 100 Impulse abgezählt werden. Hierfür benötigt man einen 7-Bit-Zähler (A1 - A6, B6). Mit zwei AND/NAND-Gattern (C2, C3) wird der Zählerinhalt auf dezimal 100,

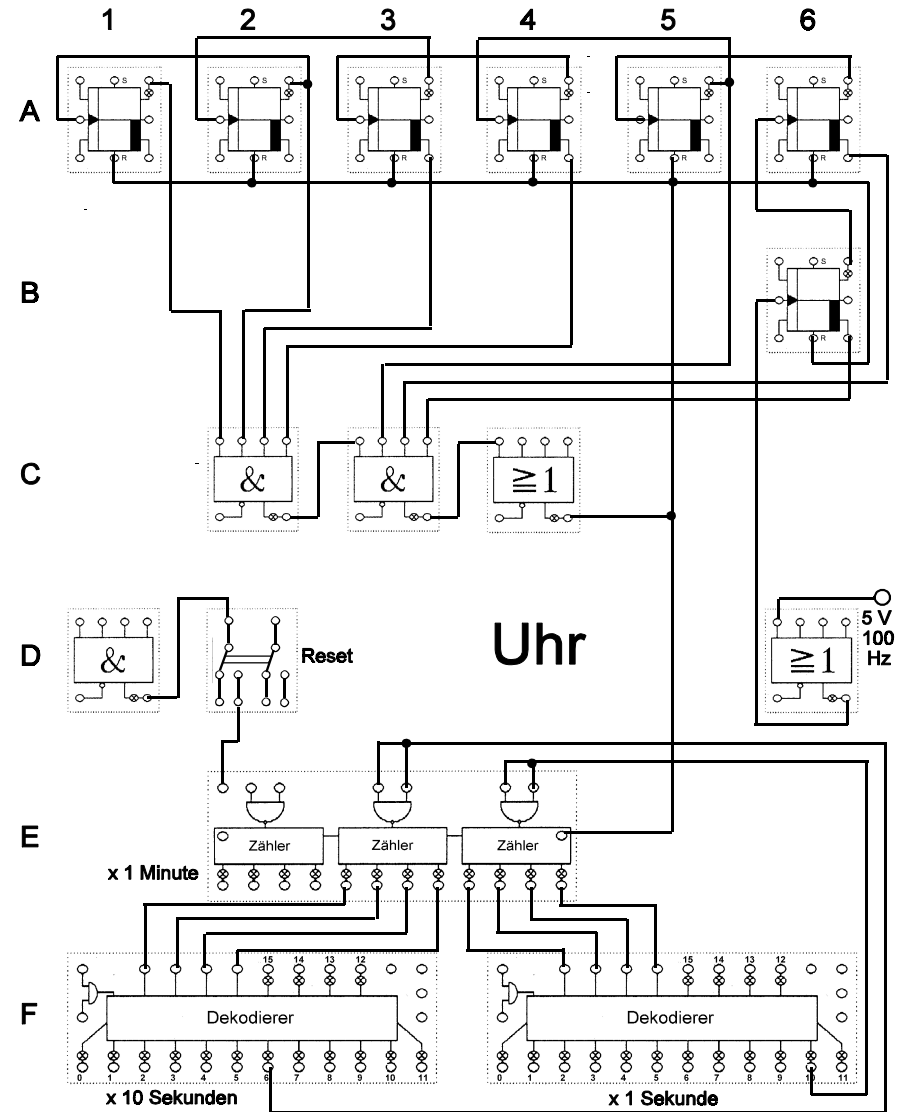


Abb. 7: Schaltung der Uhr

d.h. binär 1100100 getestet. Bei Erreichen des Zählerstandes von binär 1100100

gelangt ein 1-Signal an den Ausgang des zweiten AND/NAND-Gatters (C3). Dieses Signal wird mittels eines OR/NOR-Gatters (C4) etwas verzögert und auf die Reseteingänge des 7-Bit-Zählers geführt. Eine Verzögerung ist nötig, da die verwendeten Speicherelemente nicht gleich schnell schalten. Sobald das schnellste Speicherelement (welches vorher den Wert 1 hatte) zurückgestellt wird, ist der Zählerinhalt von binär 1100100 verschieden. Dadurch gelangt an die Reseteingänge wieder ein 0-Signal noch bevor alle Speicher zurückgesetzt wären. Die endliche Schaltzeit des OR/NOR-Gatters gewährleistet, dass der Resetimpuls ausreichend lang vorliegt.

Das Resetsignal dient gleichzeitig als 1-Sekundentakt für einen 12-Bit-Zähler (E2 - E4), der aus drei 4-Bit-Zählern besteht, die hintereinandergeschaltet sind und einzeln zurückgesetzt werden können. Der erste (E4) dieser drei Zähler zählt die Einer-Sekunden, der zweite (E3) die Zehner-Sekunden, der dritte (E2) die Einer-Minuten. Um die in binärer Form vorliegenden Zählerinhalte leichter ablesen zu können, werden zwei Dekoderbausteine benutzt. Ein Dekoder aktiviert für jeden der 16 verschiedenen Werte (0 - 15) eines 4-Bit-Wortes eine von 16 Ausgangsleitungen. Immer besitzt einer und nur einer der Ausgänge den Wert 1. Die Ausgangspegel werden von Leuchtdioden angezeigt. Sobald der für die Einer-Sekunden zuständige Dekoder (F4 - F6) die Zahl dezimal 10 dekodiert, löst er mit dem entsprechenden Ausgang einen Reset für den Einer-Sekundenzähler (E4) aus, so dass jetzt die Zahl 0 dekodiert wird. Ähnlich funktioniert der Dekoder für die Zehner-Sekunden (F1 - F3), nur dass dieser bereits bei Erreichen der Zahl 6 den zugehörigen Zähler (E3) zurücksetzt.

Mit einem zusätzlichen Reseteingang am 12-Bit-Zähler kann die Uhr jederzeit von Hand auf 0 Minuten, 0 Sekunden gestellt werden.

4.4 Frequenzzähler

Aus der Schaltung für die Uhr lässt sich relativ einfach ein Frequenz- bzw. Impulszähler aufbauen (Abb.8). Aus der Netzfrequenz wird wieder ein Sekundentakt gewonnen, der beim Zähler ein sog. *Tor* steuert. Das Tor besteht aus einem AND/NAND-Gatter (D4), das nur dann die Impulse der zu messenden Rechteckspannung auf den Eingang des 12-Bit-Zählers schaltet, wenn der Sekundentakt auf 1-Pegel liegt.

Zur Erklärung des Messablaufs soll mit dem Auslösen des Resetschalters (D2) begonnen werden. Wird dieser Schalter geschlossen, so liegt an allen Reseteingängen ein 1-Pegel an, womit alle Speicherelemente (A1-A6, B6) und der 12-Bit-Zähler (E2 - E4) den Zahlenwert 0 annehmen. Da hierfür der Ausgangspegel des AND/NAND-Gatters (D1) allein nicht ausreicht, ist ein

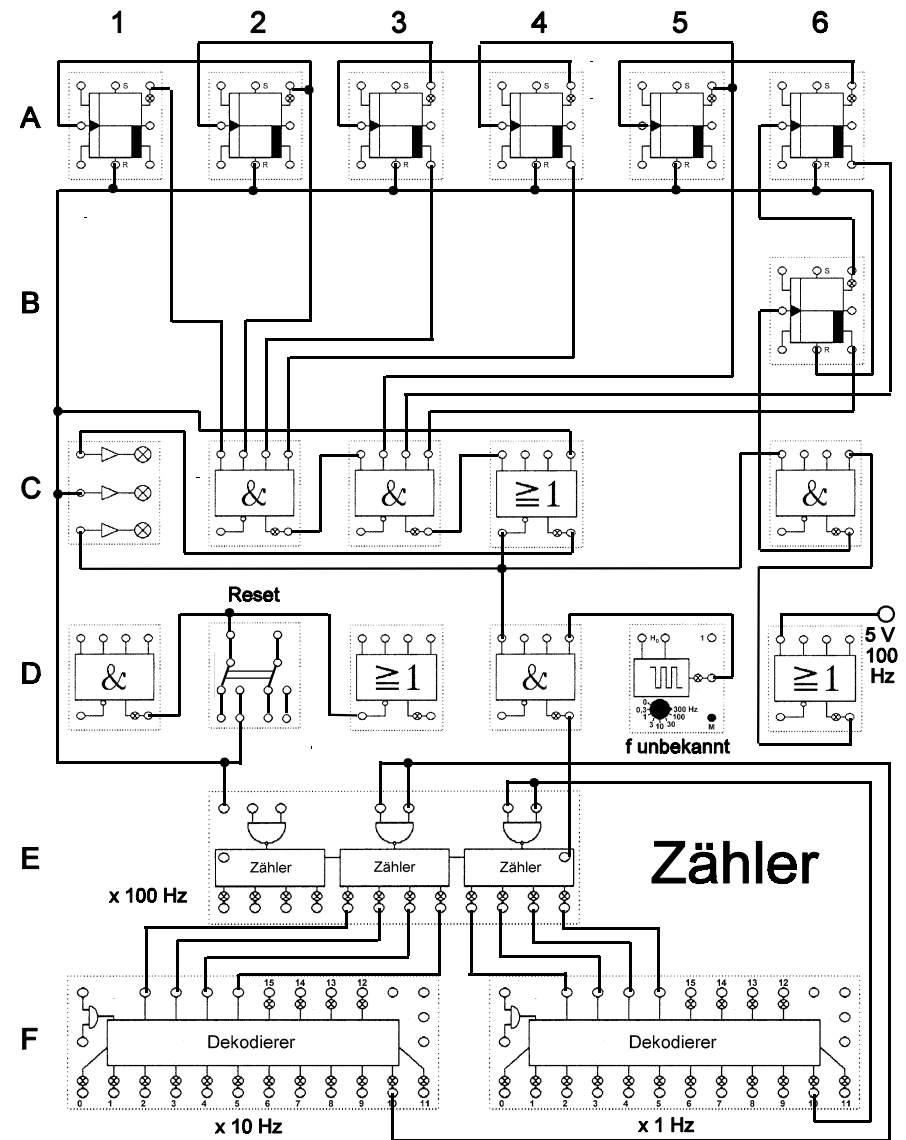


Abb. 8: Frequenzzähler

OR/NOR-Gatter (D3) mit dem invertierenden Ausgang parallelgeschaltet. Das Resetsignal liegt ebenfalls an dem OR/NOR-Gatter (C4) an, das dann mit seinem invertierenden Ausgang das Tor (D4) sperrt, d.h. am Ausgang des AND/NAND-Gatters (D4) liegt immer ein 0-Pegel vor, wenn der Resetschalter geschlossen wird. Ein zweites Tor (C6) sperrt die Zählimpulse für die Zeitbasis. Der Resetvorgang wird durch das Leuchten des gelben und des roten Lämpchens am Ampelbaustein (C1) angezeigt.

Nach dem Öffnen des Resetschalters beginnt der Zählvorgang. Solange der 7-Bit-Zähler noch nicht den Zahlenwert dezimal 100 angenommen hat, gelangen an die Eingänge des OR/NOR-Gatters (C4) nur 0-Pegel, so dass jetzt dessen invertierender Ausgang das Tor (D4) und das Tor (C6) öffnet. Während das Tor (D4) geöffnet ist, werden die Zählimpulse der zu untersuchenden Rechteckspannung - in unserem Fall die Impulse des Taktgenerators (D5) - von dem 12-Bit-Zähler registriert. Der Zählvorgang wird durch das Leuchten des grünen Lämpchens am Ampelbaustein angezeigt. Sobald der 7-Bit-Zähler (dezimal) 100 Taktimpulse des Frequenz-Normals gezählt hat, gelangt an den linken Eingang des OR/NOR-Gatters (C4) ein 1-Signal, wodurch die beiden Tore (D4 und C6) gesperrt werden. Dann leuchtet allein das rote Lämpchen. In dieser Phase wird die Notwendigkeit des zweiten Tors (C6) ersichtlich. Ohne dieses Tor würde der 7-Bit-Zähler weiterlaufen. Schon beim nächsten Taktimpuls (Zählerinhalt = dezimal 101) würde das Tor (D4) wieder geöffnet und der Zählvorgang fortgesetzt.

Die drei Zähler des 12-Bit-Zählers sind als Dekadenzähler geschaltet, was eine direkte Frequenzanzeige mittels der zwei Dekoder erlaubt. Wahlweise kann ein weiterer (kleiner) Dekoder mit Digitalanzeige (E1, o.Abb.) an den 100Hz-Zähler angeschlossen werden. Im Versuch sollen am Taktgenerator die Frequenzen nominell 10, 30, 100 und 300 Hz eingestellt und jeweils fünf mal gemessen werden. Man diskutiere die Genauigkeit der Frequenzmessung.

4.5 Stoppuhr und Bestimmung der Fallzeit einer Kugel

Die im Versuch aufzubauende Stoppuhr (Abb.9) besteht wieder aus einem (12-Bit-) Zähler, der die Impulse einer Rechteckspannung bekannter Frequenz (Taktgenerator D5) zählt. Der Zählvorgang wird wieder über ein Tor (D4) gesteuert, welches im Falle der Stoppuhr von dem zu messenden Vorgang beeinflusst wird.

Solange der linke Eingang des AND/NAND-Gatters (C2) auf 1-Pegel liegt, läuft der Zähler. Die Art der Steuerung von Start bzw. Stop hängt von dem zu messenden Vorgang ab.

Im Versuch soll die Fallzeit einer Kugel bestimmt werden. Diese wird zu Beginn

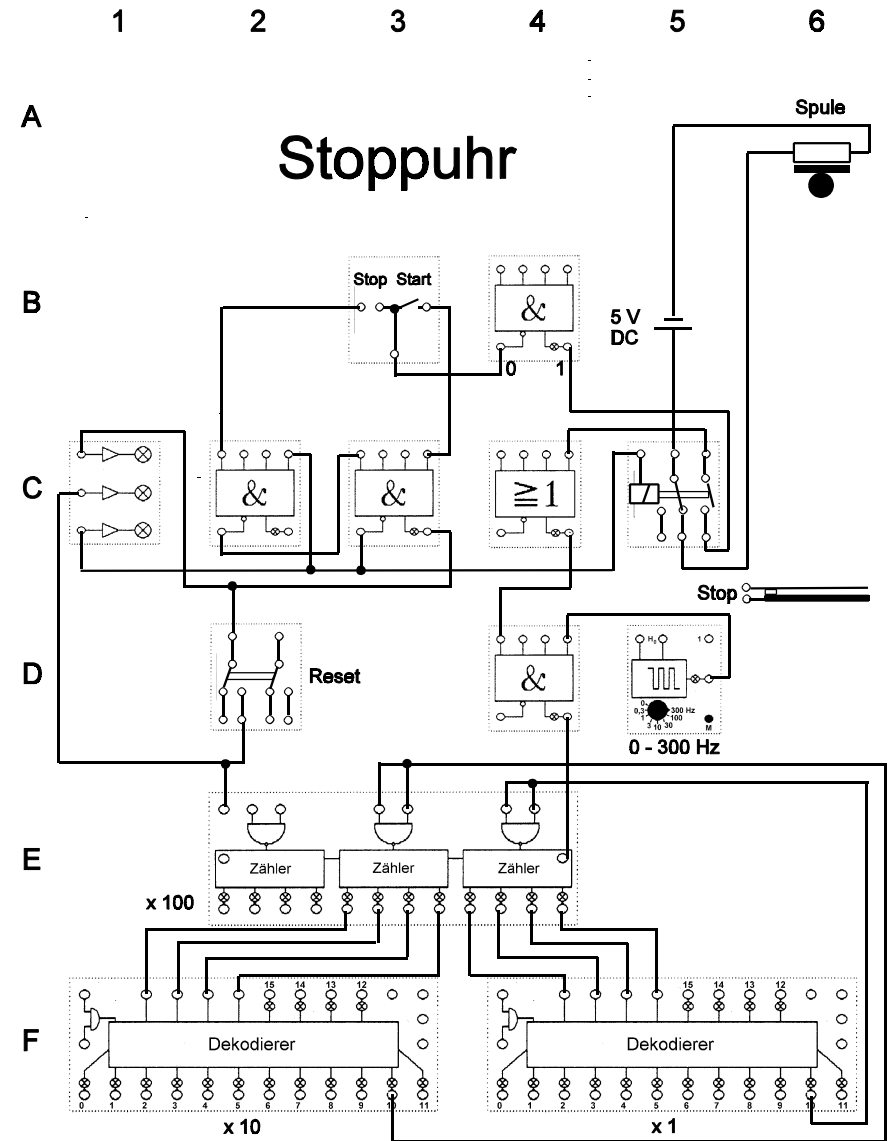


Abb. 9: Stoppuhr

des Experiments von einem Elektromagneten gehalten, der an einem Stativ montiert ist. Die Betriebsspannung des Magneten (ca. 5 V) wird von einem Gleichspannungsnetzgerät geliefert. Beim Start des Experiments wird nach Drücken der Starttaste (B3) der Elektromagnet stromlos und gleichzeitig der Zählvorgang ausgelöst. Die Kugel fällt auf ein dünnes Metallblech, welches in geringem Abstand über einem weiteren Blech montiert ist. Die Bleche sind voneinander isoliert je mit einem der Stopp-Kontakte (B3) verbunden. Beim Aufprall der Kugel biegt sich das obere Blech für kurze Zeit nach unten und kommt in Kontakt mit dem unteren Blech. Damit wird ein Stromkreis geschlossen, was ein Stoppen des Zählers zur Folge hat.

Die Start/Stop-Elektronik muss gewährleisten, dass lediglich Impulse nötig sind, um den Zähler zu steuern. Diese Anforderung erfüllt eine bistabile Kippstufe (RS-Flip-Flop), bestehend aus zwei AND/NAND-Gattern (C2 und C3).

Im Ruhezustand sind die Starttaste und die Stopkontakte offen, d.h. die Eingänge der zwei AND/NAND-Gatter auf 1-Pegel. Wird der Stopkontakt (B3) kurzfristig geschlossen (s. Reset-Befehl des RS-Flip-Flops), so führt der NAND-Ausgang des rechten Gatters (C3) den 0-Pegel und der AND-Ausgang entsprechend den 1-Pegel, wodurch die rote Diode des Ampelbausteins (C1) leuchtet. Das 0-Signal am NAND-Ausgang verhindert, dass das Relais (C5) anzieht. So bleibt einerseits der Stromkreis für den Elektromagneten geschlossen und andererseits der Eingang am OR/NOR-Gatter (C4) auf 0-Pegel, d.h. das Tor (D4) sperrt.

Durch Schließen des Resetschalters (D2) wird der 12-Bit-Zähler (E2 - E4) auf 0 gesetzt und die gelbe Diode der Ampel leuchtet. Diese Rückstellung funktioniert nur in der Stopphase, da das Reset-Signal aus dem AND-Ausgang des rechten AND/NAND-Gatters (C3) gewonnen wird. Während der Zählphase liegt an diesem Ausgang ein 0-Signal an.

Durch Betätigen des Starttasters (s. Set-Befehl des RS-Flip-Flops) werden alle Ausgangspegel der AND/NAND-Gatter (C2 und C3) umgekehrt. Das Relais zieht an und macht den Elektromagneten stromlos. Ein zweiter Schaltkontakt des Relais speist das OR/NOR-Gatter (C4) mit einem 1-Pegel, wodurch schließlich das Tor (D4) öffnet.

Das OR/NOR-Gatter hat bei dieser Schaltung nur die Aufgabe, im Ruhezustand des Relais das AND/NAND-Gatter mit einem 0-Pegel anzusteuern. (Zur Erinnerung: Ohne äußere Beschaltung liegen die Eingänge des AND/NAND-Gatters auf 1-Pegel.)

Im Versuch soll die Fallzeit der Kugel für zwei verschiedene (jeweils vorgegebene) Fallhöhen gemessen werden. Man benutze als Frequenznormal den Taktgenerator

(D5) in der Stellung nominell 100 Hz und 300 Hz und messe die Fallzeit jeweils fünf mal. Für die Auswertung rechne man mit den wahren Frequenzwerten des Taktgenerators, die im vorherigen Teil des Versuchs bestimmt worden sind. Aus dem Messergebnis ist gegebenenfalls das Gesetz des freien Falls zu bestätigen und die Erdbeschleunigung g zu bestimmen. Schätzen Sie aus den Fehlern (Standardabweichung) bei der Frequenzbestimmung des Taktgenerators und der Fallzeit den Fehler von g ab. Diskutieren Sie mögliche systematische Fehler bei der hier angewandten Methode der Fallzeitbestimmung.

5. Fragen zur Selbstkontrolle

- 1) Stellen Sie eine Wertetabelle der möglichen Kombinationen von Eingang- und Ausgangszuständen für AND-, NAND-, OR- und NOR-Gatter auf.
- 2) Aus welchen logischen Gattern besteht ein RS-Flip-Flop? Wie sind die erlaubten Kombinationen von Eingangszuständen mit denen der Ausgänge logisch verknüpft?
- 3) Aus welchen logischen Gattern ist ein getaktetes RS-Flip-Flop, aus welchen ein Master-Slave-Flip-Flop aufgebaut?
- 4) Stellen Sie eine Tabelle der logischen Verknüpfungen von Ein- und Ausgängen eines Master-Slave-Flip-Flops auf und interpretieren Sie die Wirkung der Eingangskombinationen auf die Ausgänge.
- 5) Beschreiben Sie anhand der Antwort zu Frage 4 die Frequenzumsetzung in einer Kette geeignet zusammengeschalteter JK-Master-Slave-Flip-Flops.
- 6) Woraus besteht ein binärer Zähler? Aus welchen Bausteinen bzw. Funktionsgruppen besteht eine Uhr?
- 7) Wie lässt sich aus einer Uhr ein Frequenzzähler bauen, wie daraus eine Stoppuhr?